

日 本 国 特 許 庁
JAPAN PATENT OFFICE

J1046 U.S. PRO
10/058005
01/29/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2001年 3月30日

出 願 番 号
Application Number:

特願2001-102174

出 願 人
Applicant(s):

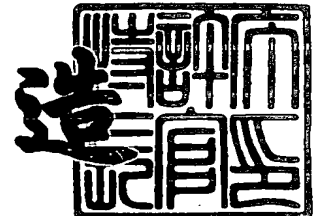
富士通株式会社

#3 | Priority
Paper
4-1-02
Restored

2001年11月 2日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3096089

【書類名】 特許願

【整理番号】 0041068

【提出日】 平成13年 3月30日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H01L 23/00

【発明の名称】 半導体集積回路及び電源レイアウト設計方法

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 鈴木 賢司

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 箴島 亨

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路及び電源レイアウト設計方法

【特許請求の範囲】

【請求項 1】 パッドと、

対応するパッドを介して外部に接続される第 1 の電源 I / O セルと、

対応するパッドを介して外部には接続されず該第 1 の I / O セルから電源を供給される第 2 の電源 I / O セル

を含むことを特徴とする半導体集積回路。

【請求項 2】 内部セルと、

該内部セルに電源を供給する電源配線と、

該第 1 の電源 I / O セルと該電源配線とを接続する配線と、

該第 2 の電源 I / O セルと該電源配線とを接続する配線

を更に含むことを特徴とする請求項 1 記載の半導体集積回路。

【請求項 3】 該第 2 の電源パッドは該対応するパッドと接続されないことを特徴とする請求項 1 記載の半導体集積回路。

【請求項 4】 未使用かつ外部未接続の I / O セルを特定し、

該 I / O セルを外部に直接には接続されない電源用 I / O セルとして割り当てる

各段階を含むことを特徴とする半導体集積回路の電源レイアウト設計方法。

【請求項 5】 該電源用 I / O セルを、パッドを介して直接外部に接続される電源用 I / O セルに接続すると共に、内部セルに電源を供給する電源配線に接続する段階を更に含むことを特徴とする請求項 4 記載の電源レイアウト設計方法。

【請求項 6】 チップ内において電源電流が不足する箇所を特定する段階を更に含み、該電源用 I / O セルとして割り当てる段階は、該箇所に対応して該電源用 I / O セルを割り当てることを特徴とする請求項 4 記載の電源レイアウト設計方法。

【請求項 7】 該電源電流が不足する箇所を特定する段階は、

I / O セルに対するピン割り当てに関する第 1 の情報を取得し、

チップ内の各位置における必要な電源電流量に関する第 2 の情報を取得し、

該第 1 の情報に基づいて初期状態の供給電源電流量を計算し、

計算された供給電源電流量と第 2 の情報が示す必要な電源電流量とを比較する各段階を含むことを特徴とする請求項 6 記載の電源レイアウト設計方法。

【請求項 8】該電源用 I/O セルとして割り当てる段階は、画面表示されたチップ上でポインティングデバイスにより割り当て対象の I/O セルを特定する段階を含むことを特徴とする請求項 4 記載の電源レイアウト設計方法。

【請求項 9】該電源用 I/O セルとして割り当てる段階は、チップ上で割り振られた番号を指定することで割り当て対象の I/O セルを特定する段階を含むことを特徴とする請求項 4 記載の電源レイアウト設計方法。

【請求項 10】未使用かつ外部未接続の I/O セルを特定し、

該 I/O セルを外部に直接には接続されない電源用 I/O セルとして割り当てる

各段階を含む設計方法により設計・製造された半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路に関し、詳しくはチップ内部セル領域に電源を供給する電源配線を有した半導体集積回路に関する。

【従来の技術】

半導体集積回路においては、外部ピンから、リードフレーム、ボンディングワイヤ、パッド、及び電源 I/O を介して、内部セルに電源が供給される。ここで電源 I/O は、ボンディングワイヤ接続用の各パッドに対応して、パッドと内部セルに接続される基幹電源配線との間に存在するアルミ配線で構成された区画である。この電源 I/O には、静電破壊防止のための回路が設けられている場合もある。パッドと電源 I/O との間の接続は、多層配線により接続される。しかし電源 I/O と内部セル領域に繋がる基幹電源配線との間は、一般に単層で接続されることが多く、また電源 I/O よりも狭い配線幅で接続される。

【発明が解決しようとする課題】

近年半導体集積回路のピン数が多くなり、ボンディング用のパッドのピッチが

狭くなっている。これに伴って、電源 I/Oセル（電源 I/Oが設けられる区画）の幅が小さくなっている。

【0002】

このような状況では、電源 I/Oセルから基幹電源配線に繋がる配線も狭くなるために、十分な電流を流すことが出来なくなり、内部セル領域に供給できる電流量が不足する。

【0003】

以上を鑑みて、本発明は、内部セル領域に十分な電流量を供給可能な半導体集積回路を提供することを目的とする。

【課題を解決するための手段】

本発明の半導体集積回路は、パッドと、対応するパッドを介して外部に接続される第1の電源 I/Oセルと、対応するパッドを介して外部には接続されず該第1の I/Oセルから電源を供給される第2の電源 I/Oセルを含むことを特徴とする。

【0004】

また本発明では、上記半導体集積回路において、内部セルと、該内部セルに電源を供給する電源配線と、該第1の電源 I/Oセルと該電源配線とを接続する配線と、該第2の電源 I/Oセルと該電源配線とを接続する配線を更に含むことを特徴とする。

【0005】

上記発明においては、外部と接続されない本来未使用であった I/Oセルを、外部と接続される電源 I/Oセルから電源を供給される外部未接続電源 I/Oセルとして使用する。また更に、外部と接続される電源 I/Oセルと外部未接続電源 I/Oセルとの両方から、内部基幹電源配線に電源を供給する。これによって、レイアウトで無駄になっていた領域を有効に使用して、内部セルにおける電流量供給不足を補うことが出来る。

【0006】

また本発明では、上記半導体集積回路において、該第2の電源パッドは該対応するパッドと接続されないことを特徴とする。

【 0 0 0 7 】

上記発明においては、外部未接続電源 I / O セルは、直接に外部に接続される電源 I / O セルから電源を供給されるので、対応するパッドに接続される必要はない。従って、パッドに対する無駄な接続配線を削除することが出来る。

【 0 0 0 8 】

また本発明による半導体集積回路の電源レイアウト設計方法は、未使用かつ外部未接続の I / O セルを特定し、該 I / O セルを外部に直接には接続されない電源用 I / O セルとして割り当てる各段階を含むことを特徴とする。

【 0 0 0 9 】

上記発明においては、外部と接続していない未使用であった I / O セルを、外部と接続される電源 I / O セルと接続することで外部未接続電源 I / O セルとして使用することにより、レイアウトで無駄になっていた領域を有効に使用して、内部セルにおける電流量供給不足を補うことが出来る。

【発明の実施の形態】

以下に、本発明の原理及び実施例を添付の図面を用いて詳細に説明する。

【 0 0 1 0 】

図 1 は、本発明の原理による電源供給を説明するための図である。図 1 は、半導体集積回路の電源 I / O セル周辺の構成を示す図である。

【 0 0 1 1 】

図 1 において、ボンディングワイヤ 1 0 がパッド 1 1 に接続される。複数のパッド 1 1 は、対応する I / O セル 1 2 - 1 乃至 1 2 - 7 に接続される。この接続は、例えば第 1 層乃至第 3 層の Metal 1 乃至 Metal 3 を用いて確立される。ここで I / O セル 1 2 - 1 乃至 1 2 - 7 はそれぞれ、I / O 信号用の I / O セル I O S i g n a l、未使用であった I / O セルを電源 I / O として使用したグラウンド電圧用の電源 I / O セル V s s N C、電源電圧用の電源 I / O セル I O V d d、未使用であった I / O セルを電源 I / O として使用した電源電圧用の電源 I / O セル V d d N C、I / O 信号用の I / O セル I O S i g n a l、グラウンド電圧用の電源 I / O セル I O V s s、及び未使用であった I / O セルを電源 I / O として使用したグラウンド電圧用の電源 I / O セル V s s N C である。ここで

NCは、本来未使用であったI/Oセルを示す。

【0012】

本発明においては、パッド11を介して外部と接続していない未使用であったI/Oセル12-2、12-4、及び12-7を、電源I/Oとして利用する。例えば、外部と接続していない未使用であったI/Oセル12-2を、外部ピンに接続されるグランド電圧用の電源I/Oセル12-6と接続することで、グランド電圧用の外部ピン未接続電源I/OセルV_{ss}NCとして使用する。この外部ピン未接続電源I/Oセル12-2は、外部ピンに接続されるグランド電圧用の電源I/Oセル12-6を介して外部からグランド電圧を供給され、配線13-1を介して内部セルに繋がる基幹電源配線14にグランド電圧を供給する。

【0013】

同様に、電源電圧用の外部ピン未接続電源I/Oセル12-4は、外部ピンに接続される電源電圧用の電源I/Oセル12-3を介して外部から電源電圧を供給され、配線13-3を介して内部セルに繋がる基幹電源配線15に電源電圧を供給する。またグランド電圧用の外部ピン未接続電源I/Oセル12-7は、外部ピンに接続されるグランド電圧用の電源I/Oセル12-6を介して外部からグランド電圧を供給され、配線13-5を介して内部セルに繋がる基幹電源配線14にグランド電圧を供給する。なお外部に接続される通常の電源I/Oセル12-3及び12-6は、それぞれ配線13-2及び13-4を介して、基幹電源配線15及び14に電源電圧及びグランド電圧を供給する。またI/Oセル12-1乃至12-7間の接続は、配線16及び17を介して行われる。

【0014】

上記のように、本発明においては、外部と接続していない未使用であったI/Oセルを、外部と接続される電源I/Oセルと接続することで外部未接続電源I/Oセルとして使用し、外部と接続される電源I/Oセルと外部未接続電源I/Oセルとの両方から内部基幹電源配線に電源を供給する。このようにすることにより、レイアウトで無駄になっていた領域を有効に使用して、内部セルにおける電流量供給不足を補うことが出来る。

【0015】

図 2 は、本発明による外部未接続電源 I / O セル割り当て処理の一例を示すフローチャートである。この処理は、C A D (Computer Aided Design) システムによって、レイアウト設計処理の一部として実行される。

【 0 0 1 6 】

ステップ S T 1 で、レイアウトに関する種々の物理的な情報を取得する。この物理的な情報とは、外部ピンに対する電源、データ、制御信号等の割り当てを示すピン割り当て情報、外部ピンとパッド（例えば図 1 のパッド 1 1）との対応関係を示す外部ピン・パッド対応情報、I / O セル（例えば図 1 の I / O セル 1 2 - 1 乃至 1 2 - 7）の種類及び配置を示す I / O 種類・配置情報、パッドの配置を示すパッド配置情報等である。

【 0 0 1 7 】

ステップ S T 2 で、電源網解析結果の情報を取得する。具体的には、ステップ S T 1 で取得した物理的な情報に基づいて初期状態の電源供給量を計算すると共に、電源・グランド配線の抵抗網等のネット構造に関するデータに基づいて、チップの各内部セル領域において必要な電源の電流供給量を計算する。

【 0 0 1 8 】

ステップ S T 3 で、電源の過不足に関する判定を行う。即ち、ステップ S T 2 で計算した初期状態の電源供給量と、チップの各内部セル領域において必要な電源の電流供給量とを比較して、初期状態の電源の電流供給量が不足しているか否かを判断する。電源の電流供給量に不足がなければ、電源配線に問題なしとして処理を終了する。電源の電流供給量に不足があれば、ステップ S T 4 に進む。

【 0 0 1 9 】

ステップ S T 4 で、内部セル領域の電源が不足しているので、電源電流の供給が不足していると判断される箇所に対応して、現在未使用の外部ピン未接続 I / O セルを、外部ピン未接続電源 I / O セルに置き換える。即ち、C A D によるレイアウト設計において、現在未使用の外部ピン未接続 I / O セルを外部ピン未接続電源 I / O セルとして使用し、この外部ピン未接続電源 I / O セルへ電源を供給する配線を確立すると共に、内部セル領域に接続される基幹電源配線に外部ピン未接続電源 I / O セルから配線を引く。

【0020】

以上で処理を終了する。

【0021】

以上の処理によって、必要な電力供給量を計算し、現在未使用の外部ピン未接続 I/Oセルを外部ピン未接続電源 I/Oセルに置き換えることで、必要な電力供給量を確保することが可能になる。

【0022】

図3は、本発明による外部未接続電源 I/Oセル割り当て処理の別の例を示すフローチャートである。この処理は、CAD (Computer Aided Design) システムによって、レイアウト設計処理の一部として実行される。

【0023】

ステップ ST1 で、レイアウトに関する種々の物理的な情報を取得する。この物理的な情報とは、外部ピンに対する電源、データ、制御信号等の割り当てを示すピン割り当て情報、外部ピンとパッド（例えば図1のパッド11）との対応関係を示す外部ピン・パッド対応情報、I/Oセル（例えば図1のI/Oセル12-1乃至12-7）の種類及び配置を示すI/O種類・配置情報、パッドの配置を示すパッド配置情報等である。

【0024】

ステップ ST2 で、制御情報を入力する。この制御情報は、最低限必要な電源個数（電源供給量）を指定する情報、置き換える電源個数を指定する情報、内部使用マクロに対する必要電源量に関する情報、チップサイズやゲート規模から計算される必要電源量に関する情報などである。例えば、内部使用マクロに対する必要電源量に関する情報としては、消費電力の大きい特殊なマクロがありこのマクロを使用する場合には、電源をx本追加する必要がある等と規定されている。この制御情報は、CADシステムのライブラリや制御カードとして供給するように構成してよい。

【0025】

ステップ ST3 で、電源電流の供給が不足していると判断される箇所に対応して、現在未使用の外部ピン未接続 I/Oセルを、外部ピン未接続電源 I/Oセル

に置き換える。即ち、ステップST2で取得した制御情報及びステップST1で取得した物理的な情報に基づいて、現在未使用の外部ピン未接続I/Oセルを、外部ピン未接続電源I/Oセルに置き換える。この置き換えに伴って、外部ピン未接続電源I/Oセルへ電源を供給する配線を確立すると共に、内部セル領域に接続される基幹電源配線に外部ピン未接続電源I/Oセルから配線を引く。

【0026】

以上で処理を終了する。

【0027】

以上の処理によって、必要な電源個数等を指定する制御情報を予め設定してCADシステムのライブラリや制御カード等として供給することで、電源網解析による電源供給量の計算をすることなく、現在未使用の外部ピン未接続I/Oセルを外部ピン未接続電源I/Oセルに置き換えることが可能になる。

【0028】

図4は、本発明による外部未接続電源I/Oセル割り当て処理を実行するCADシステムの一例を示す図である。

【0029】

図4に示されるように、本発明による外部未接続電源I/Oセル割り当て処理を実行するCADシステムは、例えばエンジニアリングワークステーション等のコンピュータにより実現される。

【0030】

図4のCADシステムは、コンピュータ20と、コンピュータ20に接続されるディスプレイ装置31、キーボード32、マウス33、及びネットワーク用通信装置34よりなる。キーボード32及びマウス33は、入力装置を構成する。コンピュータ20は、CPU21、RAM22、ROM23、ハードディスクドライブHDD24、可換媒体記憶装置25、及びインターフェース26を含む。

【0031】

キーボード32及びマウス33は、ユーザとのインターフェースを提供するものであり、コンピュータ20を操作するための各種コマンドや要求されたデータに対するユーザ応答等が入力される。ディスプレイ装置31は、コンピュータ2

0で処理された結果等を表示すると共に、コンピュータ20を操作する際にユーザとの対話を可能にするために様々なデータ表示を行う。ネットワーク通信装置34は、遠隔地との通信を行うためのものであり、例えばモデムやネットワークインターフェース等よりなる。

【0032】

本発明による外部未接続電源I/Oセル割り当て処理方法は、コンピュータ20が実行可能なコンピュータプログラムとして提供される。このコンピュータプログラムは、可換媒体記憶装置25に装着可能な記憶媒体に記憶されており、記憶媒体から可換媒体記憶装置25を介して、RAM22或いはHDD24にロードされる。或いは、このコンピュータプログラムは、遠隔地にある記憶媒体（図示せず）に記憶されており、この記憶媒体からネットワーク通信装置34及びインターフェース26を介して、RAM22或いはHDD24にロードされる。或いは、コンピュータ20は、このコンピュータプログラムが最初からHDD24にインストールされた状態で提供される。

【0033】

CPU21は、RAM22の空き記憶空間をワークエリアとして使用して、RAM22にロードされたプログラムを実行し、適宜ユーザと対話しながら処理を進める。なおROM23は、コンピュータ20の基本動作を制御するための制御プログラムが格納されている。

【0034】

図5は、本発明による外部未接続電源I/Oセル割り当て処理におけるCADシステム表示画面の一例を示す図である。

【0035】

図5には、図4のCADシステムのディスプレイ装置31に表示される画面の一例が示される。本発明による外部未接続電源I/Oセル割り当て処理においては、チップ42の図が画面に表示される。このチップ42の図と共に、チップに設けられるボンディングパッド43及びI/Oセル44が表示される。またチップ42の周囲には、リードフレーム41の先端の図が示される。

【0036】

更に画面には、ポインタ50が示される。このポインタ50は、例えば図4のCADシステムにおけるマウス33等のポインティングデバイスによって操作される。本発明による外部未接続電源I/Oセル割り当て処理においては、マウス33等のポインティングデバイスによってポインタ50を動かし、未使用の外部未接続I/Oセルを選択し、外部未接続電源I/Oセルに置き換える。この処理は、例えば図2のフローチャートのステップST4 或いは図3のフローチャートのステップST3で、電源電流の供給が不足していると判断される箇所に対応して、ユーザが未使用I/Oセルを選択することで行われる。

【0037】

またポインティングデバイスを使用したポインタ50によるセル選択においては、I/Oセル44をポインタ50で選択するのではなく、例えば対応するボンディングパッド43をポインタ50で選択するようにしてもよい。CADシステムのユーザが、未使用の外部未接続I/Oセルを簡便に選択可能であれば良く、選択を指示する方法は特定のものに限定されない。

【0038】

図6は、本発明による外部未接続電源I/Oセル割り当て処理におけるCADシステム表示画面の別の一例を示す図である。

【0039】

図6(a)には、図4のCADシステムのディスプレイ装置31に表示される画面の一例が示される。本発明による外部未接続電源I/Oセル割り当て処理においては、チップ42の図が画面に表示される。このチップ42の図と共に、チップに設けられるボンディングパッド43及びI/Oセル44が表示される。またチップ42の周囲には、リードフレーム41の先端の図が示される。

【0040】

この表示例では、チップ42の例えば左上端を起点として、リードフレーム41、ボンディングパッド43、及びI/Oセル44に反時計回りに番号を割り当てる。図6(b)は、そのようにして番号が割り振られた外部ピン(リードフレーム41に対応)、パッド、及びI/Oセルの対応関係を示す対応表である。例えば、1番の番号を割り振られたI/Oセルは、1番のパッドに対応し、更に1

番の外部ピンに対応する。また2番の番号を割り振られたI/Oセルは、2番のパッドに対応するが、対応する外部ピンは存在しない。即ち、この2番の番号を割り振られたI/Oセルは、外部未接続のI/Oセルである。この外部未接続I/Oセルが未使用であれば、必要に応じて、外部未接続電源I/Oセルとして使用することが可能である。

【0041】

例えば図2のフローチャートのステップST4 或いは図3のフローチャートのステップST3で、電源電流の供給が不足していると判断されると、該当する箇所に対応して、ユーザがI/Oセル番号を指定することで未使用の外部未接続I/Oセルを選択し、外部未接続電源I/Oセルに置き換える。なお未使用の外部未接続I/Oセルを選択する際には、I/Oセルの番号を指定するのではなく、パッドの番号を指定することで選択動作を実行するようにしても良い。CADシステムのユーザが、未使用の外部未接続I/Oセルを簡便に選択可能であれば良く、選択を指示する方法は特定のものに限定されない。

【0042】

図7は、半導体集積回路の電源I/Oセル周辺の構成の変形例を示す図である。

【0043】

図7において、ボンディングワイヤ10がパッド11に接続される。複数のパッド11は、対応するI/Oセル12-1乃至12-7に接続される。この接続は、例えば第1層乃至第3層のMetal1乃至Metal3を用いて確立される。ここでI/Oセル12-1乃至12-7はそれぞれ、I/O信号用のI/OセルIOSignal、未使用であったI/Oセルを電源I/Oとして使用したグラウンド電圧用の電源I/OセルVssNC、電源電圧用の電源I/OセルIOVdd、未使用であったI/Oセルを電源I/Oとして使用した電源電圧用の電源I/OセルVddNC、I/O信号用のI/OセルIOSignal、グラウンド電圧用の電源I/OセルIOVss、及び未使用であったI/Oセルを電源I/Oとして使用したグラウンド電圧用の電源I/OセルVssNCである。ここでNCは、本来未使用であったI/Oセルを示す。

【 0 0 4 4 】

図 7 の構成では図 1 の構成と同様に、外部と接続していない未使用であった I / O セル 1 2 - 2 、 1 2 - 4 、 及び 1 2 - 7 を、電源 I / O として利用する。例えば、外部と接続していない未使用であった I / O セル 1 2 - 2 を、外部ピンに接続されるグランド電圧用の電源 I / O セル 1 2 - 6 と接続することで、グランド電圧用の外部ピン未接続電源 I / O セル V s s N C として使用する。この外部ピン未接続電源 I / O セル 1 2 - 2 は、外部ピンに接続されるグランド電圧用の電源 I / O セル 1 2 - 6 を介して外部からグランド電圧を供給され、配線 1 3 - 1 を介して内部セルに繋がる基幹電源配線 1 4 にグランド電圧を供給する。また、電源電圧用の外部ピン未接続電源 I / O セル 1 2 - 4 及びグランド電圧用の外部ピン未接続電源 I / O セル 1 2 - 7 に関しても同様である。

【 0 0 4 5 】

図 7 の構成は図 1 の構成と略同一であるが、I / O セル 1 2 - 1 乃至 1 2 - 7 のうちで、外部未接続電源 I / O セルとして使用される I / O セル 1 2 - 2 、 1 2 - 4 、 及び 1 2 - 7 は、対応するパッド 1 1 に接続されていない。外部未接続電源 I / O セル 1 2 - 2 、 1 2 - 4 、 及び 1 2 - 7 は、直接に外部に接続される電源 I / O セル 1 2 - 3 及び 1 2 - 6 の何れかから電源を供給されるので、対応するパッド 1 1 に接続される必要はない。従って、レイアウト設計で外部未接続電源 I / O セルとして割り当てられた I / O セルに対しては、パッド 1 1 に対する接続配線をレイアウトから削除するように設計してよい。

【 0 0 4 6 】

以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定されるものではなく、特許請求の範囲に記載の範囲内で様々な変形が可能である。

【発明の効果】

本発明の半導体集積回路においては、外部と接続されない本来未使用であった I / O セルを、外部と接続される電源 I / O セルから電源を供給される外部未接続電源 I / O セルとして使用する。また更に、外部と接続される電源 I / O セルと外部未接続電源 I / O セルとの両方から、内部基幹電源配線に電源を供給する。これによって、レイアウトで無駄になっていた領域を有効に使用して、内部セ

ルにおける電流量供給不足を補うことが出来る。

【図面の簡単な説明】

【図 1】

本発明の原理による電源供給を説明するための図である。

【図 2】

本発明による外部未接続電源 I / O セル割り当て処理の一例を示すフローチャートである。

【図 3】

本発明による外部未接続電源 I / O セル割り当て処理の別の例を示すフローチャートである。

【図 4】

本発明による外部未接続電源 I / O セル割り当て処理を実行する CAD システムの一例を示す図である。

【図 5】

本発明による外部未接続電源 I / O セル割り当て処理における CAD システム表示画面の一例を示す図である。

【図 6】

本発明による外部未接続電源 I / O セル割り当て処理における CAD システム表示画面の別の一例を示す図である。

【図 7】

半導体集積回路の電源 I / O セル周辺の構成の変形例を示す図である。

【符号の説明】

1 0 ボンディングワイヤ

1 1 パッド

1 2 - 1、1 2 - 2、1 2 - 3、1 2 - 4、1 2 - 5、1 2 - 6、1 2 - 7

I / O セル

1 3 - 1、1 3 - 2、1 3 - 3、1 3 - 4、1 3 - 5 電源用引出し配線

1 4 基幹電源配線

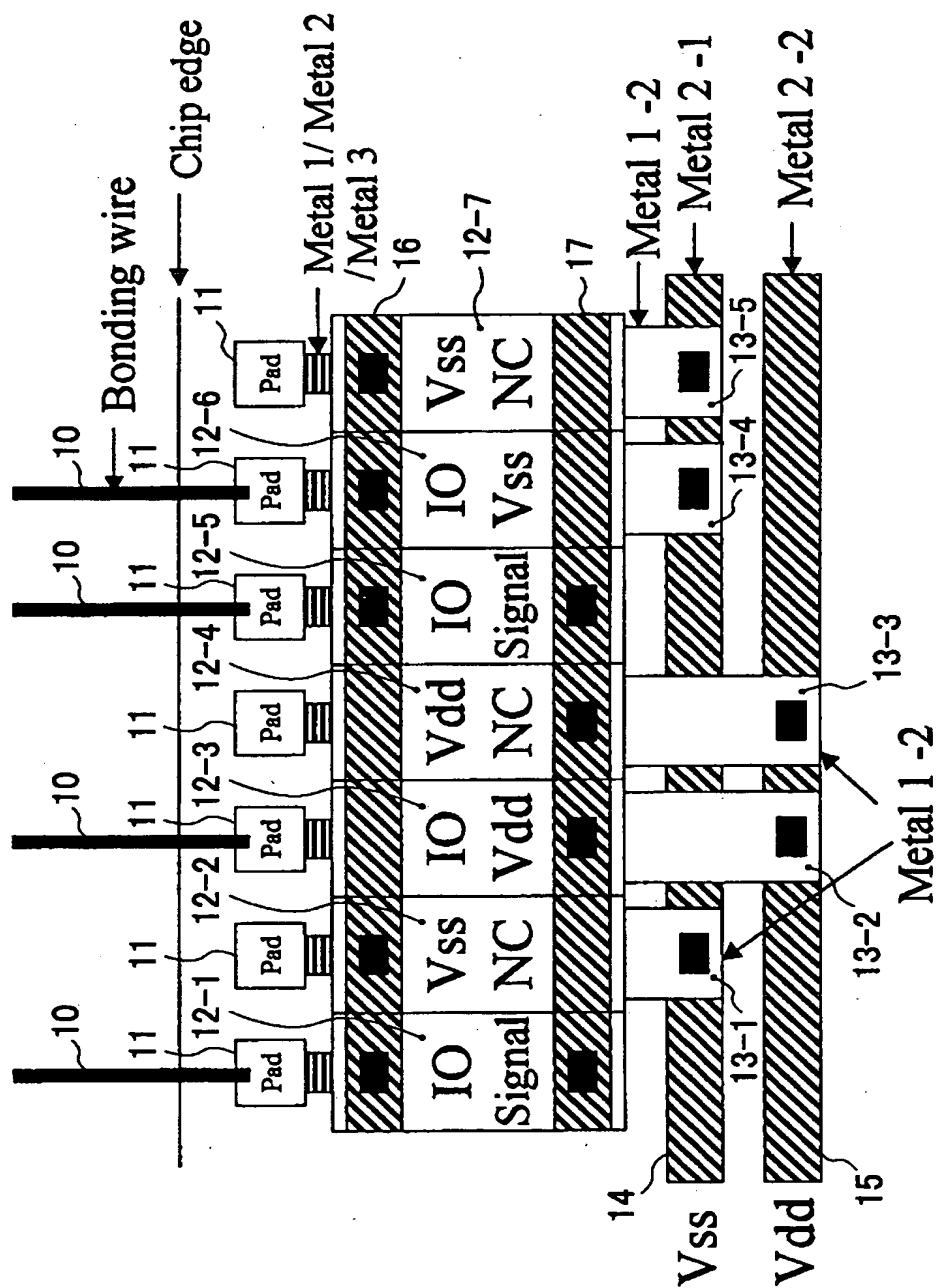
1 5 基幹電源配線

【書類名】

図面

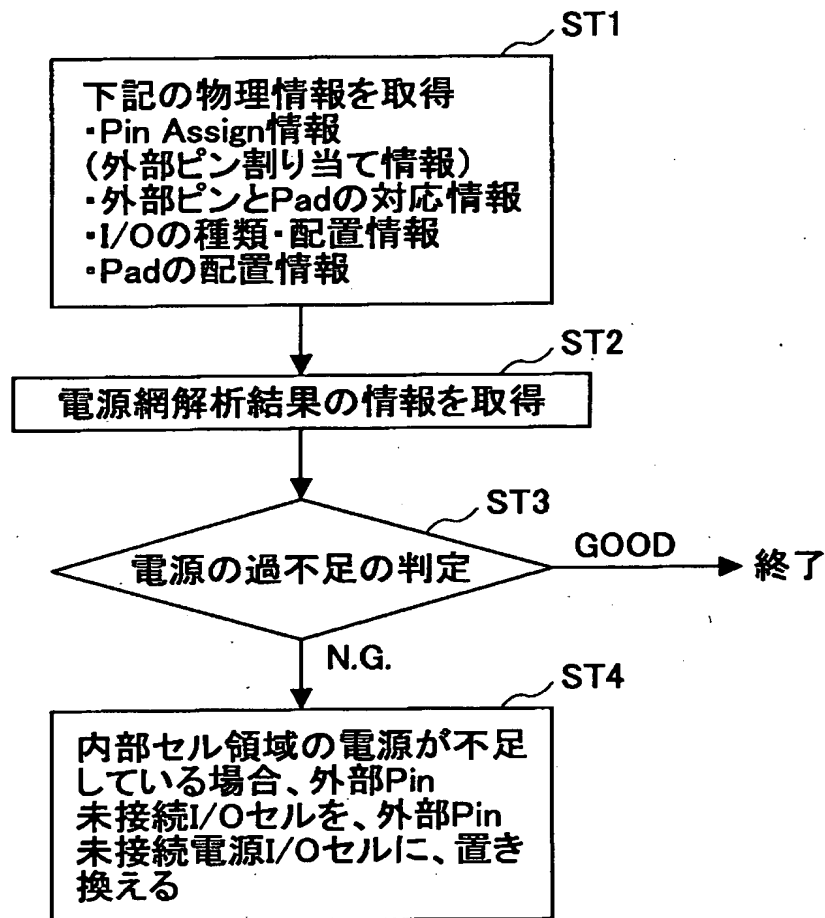
【図 1】

本発明の原理による電源供給を説明するための図



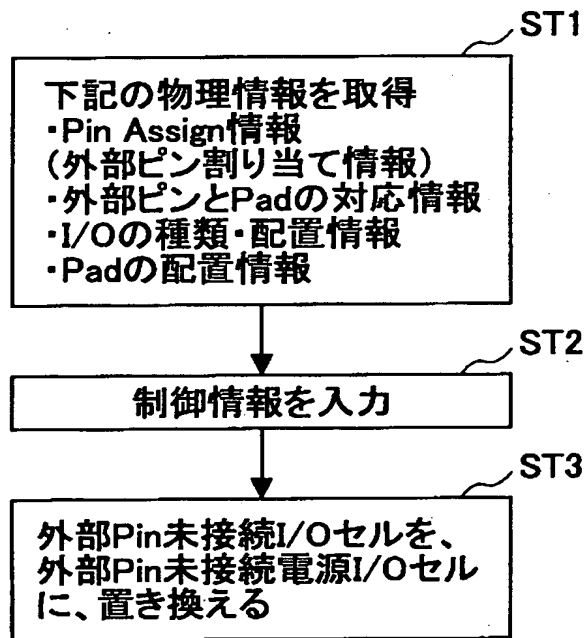
【図 2】

本発明による外部未接続電源 I / O セル割り当て
処理の一例を示すフローチャート



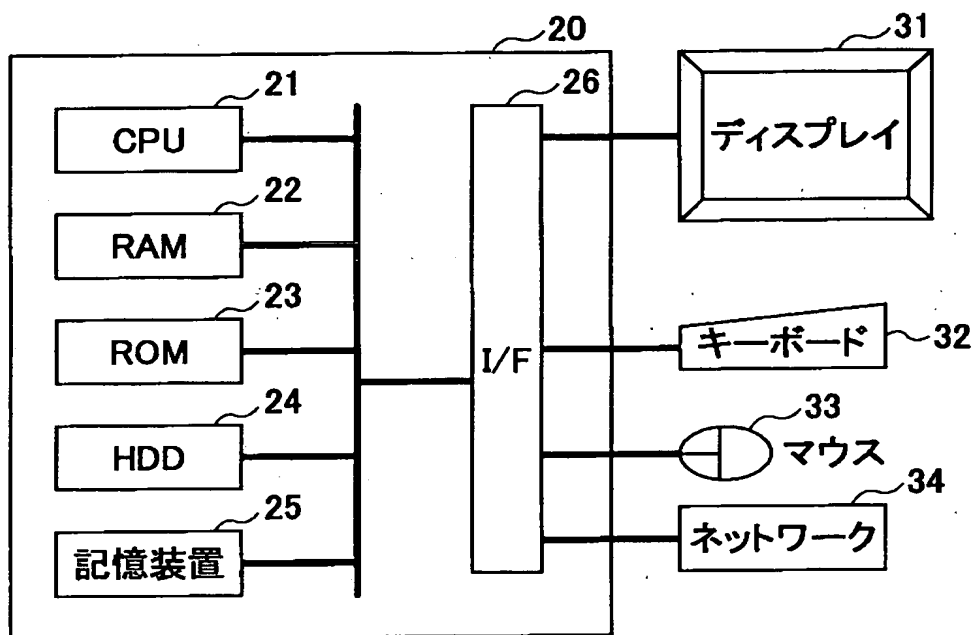
【図 3】

本発明による外部未接続電源 I/Oセル割り当て
処理の別の例を示すフローチャート



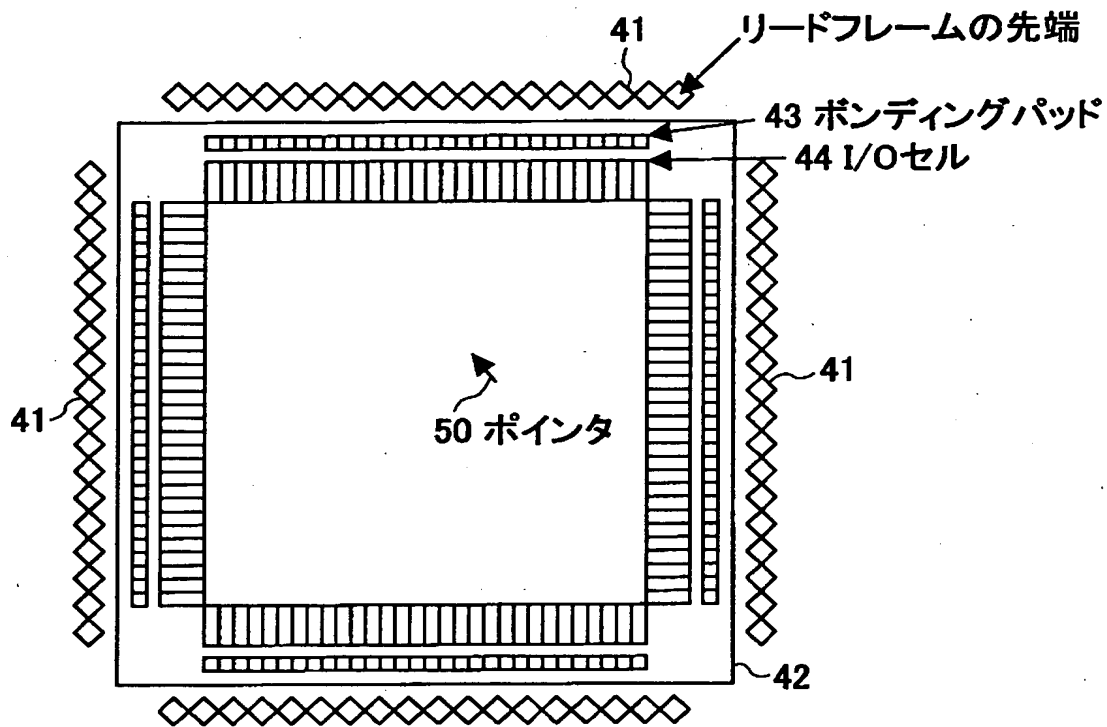
【図4】

本発明による外部未接続電源 I/Oセル割り当て処理
 を実行する CAD システムの一例を示す図



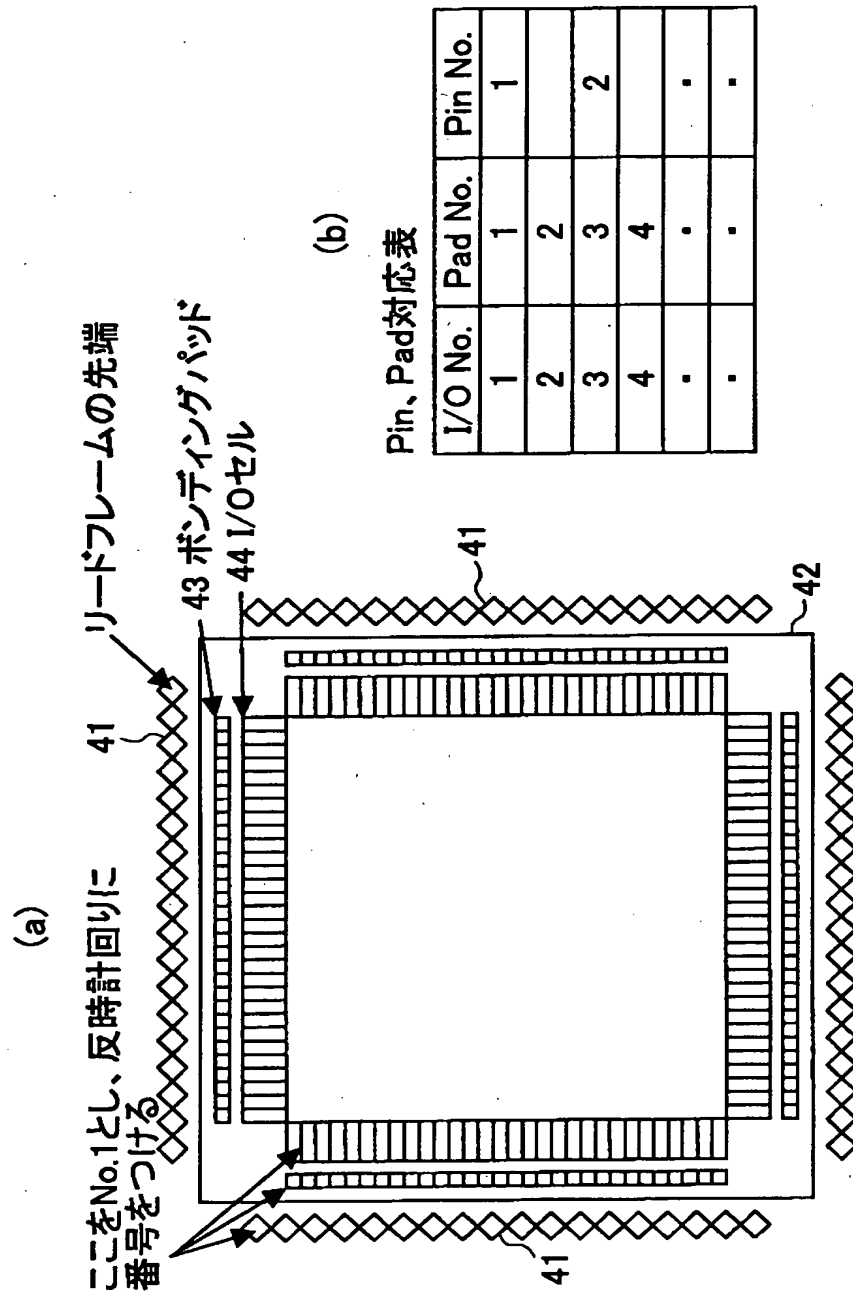
【図 5】

本発明による外部未接続電源 I / O セル割り当て処理
における C A D システム表示画面の一例を示す図



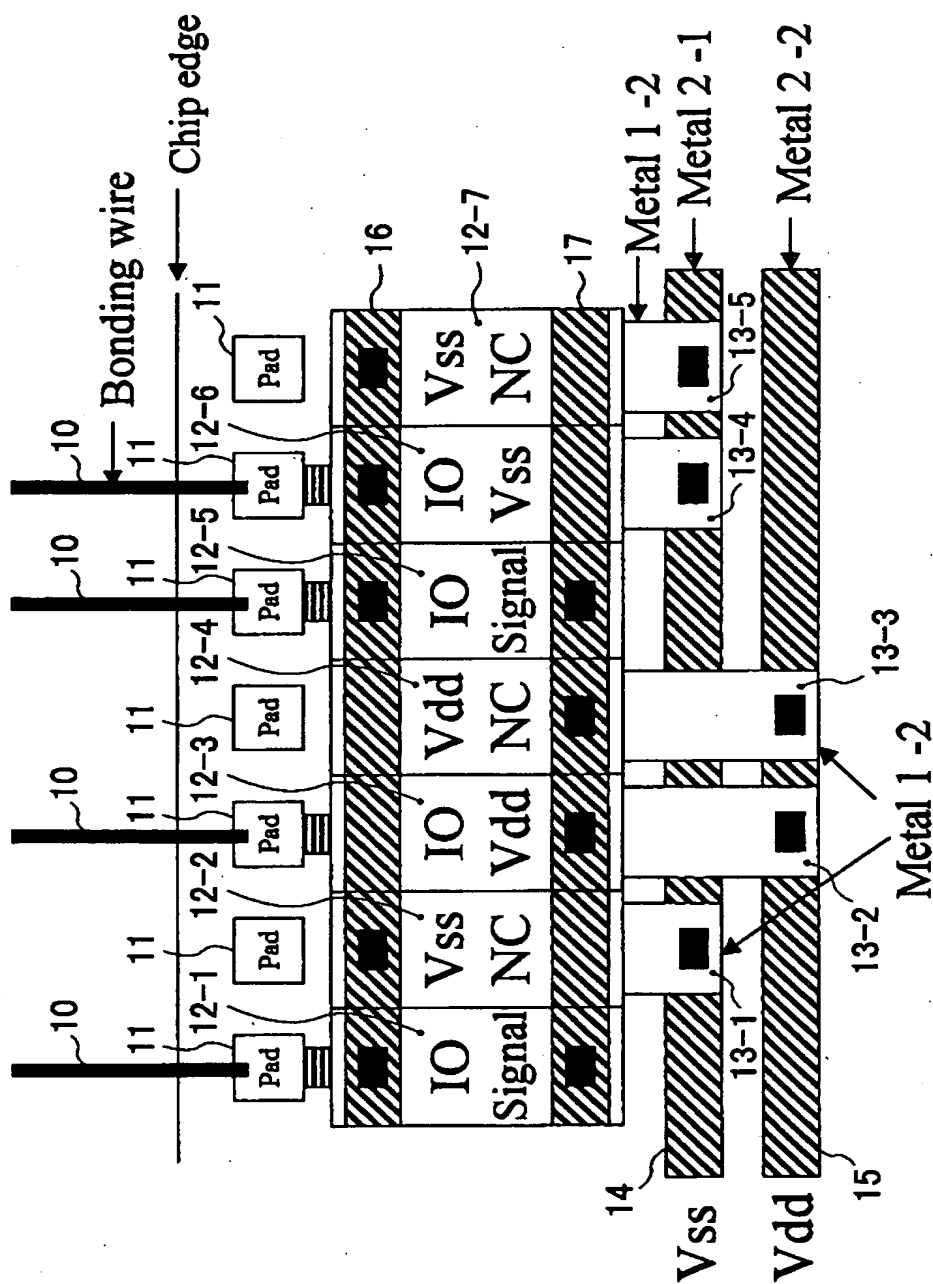
【図 6】

本発明による外部未接続電源 I/Oセル割り当て処理における CAD システム 表示画面の別の一例を示す図



【図 7】

半導体集積回路の電源 I/Oセル周辺の構成の変形例を示す図



【書類名】 要約書

【要約】

【課題】本発明は、内部セル領域に十分な電流量を供給可能な半導体集積回路を提供することを目的とする。

【解決手段】半導体集積回路は、パッドと、対応するパッドを介して外部に接続される第1の電源I/Oセルと、対応するパッドを介して外部には接続されず第1のI/Oセルから電源を供給される第2の電源I/Oセルを含む。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社